

Family list

1 family member for:

JP6202146

Derived from 1 application.

1 FORMATION OF PATTERN

Publication Info: **JP6202146 A** - 1994-07-22

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

04731146 ****Image available****

FORMATION OF PATTERN

PUB. NO.: 06-202146 [JP 6202146 A]

PUBLISHED: July 22, 1994 (19940722)

INVENTOR(s): WADA TAMOTSU

YANAI KENICHI

TANAKA TSUTOMU

OKI KENICHI

**APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)**

APPL. NO.: 04-347385 [JP 92347385]

FILED: December 28, 1992 (19921228)

INTL CLASS: [5] G02F-001/136; G02F-001/1343; H01L-021/306; H01L-021/3205;
H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors)

ABSTRACT

PURPOSE: To improve the production yield and reliability of a thin-film transistor matrix substrate by forming the flanks of patterns into a continuously tapered shape to improve the coverage of, for example, transparent electrode films.

CONSTITUTION: 1) A mixed film 4 consisting of materials varying in etching rates with an etchant to be used is deposited on a substrate 1 in such a manner that the existence ratio of the material having the higher etching rate is increased toward the front surface by changing the existence ratio in the thickness direction. The above-mentioned mixed film 4 is so constituted as to be patterned by using the etchant.

2) The etchant is a liquid mixture composed of at least phosphoric acid and nitric acid and contains the nitric acid at $\geq 1/300$ by weight of the phosphoric acid. The materials varying in the etching rate are Al and Mo and the mixed film is so constituted that the existence ratio of the Al in the thickness direction is higher on the substrate side and that the existence ratio of the Mo is higher on the front surface side.

特開平6-202146

(43) 公開日 平成6年(1994)7月22日

(51) Int. Cl. ⁵	識別記号	F I
G02F 1/136	500	9018-2K
1/1343		8707-2K
H01L 21/306	D 9278-4M	
	7514-4M	H01L 21/88
	9056-4M	29/78
		311
		C
		F
審査請求 未請求 請求項の数 2 (全5頁) 最終頁に続く		

(21) 出願番号 特願平4-347385

(22) 出願日 平成4年(1992)12月28日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 和田 保

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 梁井 健一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 田中 勉

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

最終頁に続く

(54) 【発明の名称】 パターン形成方法

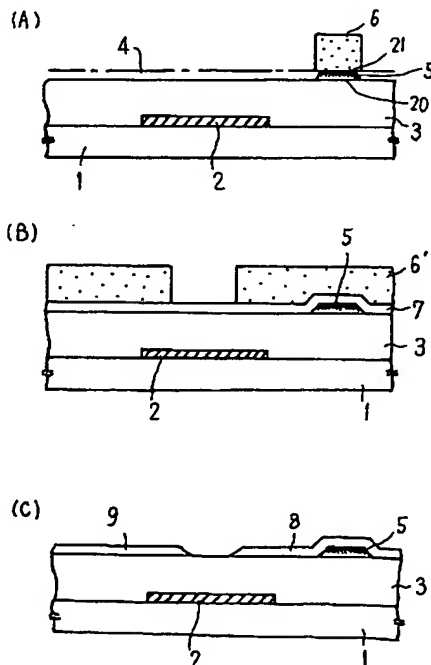
(57) 【要約】

【目的】 パターン形成方法に関し、パターンの側面を連続的にテーパ形状にして、例えば、透明電極膜の被覆性を向上して薄膜トランジスタマトリクス基板の製造歩留と信頼性を向上することを目的とする。

【構成】 1) 基板上に使用するエッチャントに対してエッチングレートの異なる物質を厚み方向に存在比を変え且つエッチングレートの大きい物質の存在比が表面に向かって大きくなるようにこれらの物質からなる混合膜を堆積する工程と、該混合膜を前記エッチャントを用いてパターニングするように構成する。

2) 前記エッチャントが少なくともりん酸と硝酸の混合液であって、りん酸に対し硝酸を重量比で 1/300以上を含み、前記エッチングレートの異なる物質がAlとMoであり、厚み方向の存在比が基板側でAl大きく、表面側でMoが大きいくようにこうせいする。

本発明の実施例を説明する断面図(1)



【特許請求の範囲】

【請求項1】 基板上に、使用するエッチャントに対してエッチングレートの異なる物質を厚み方向に存在比を変え且つエッチングレートの大きい物質の存在比が表面に向かって大きくなるようにこれらの物質からなる混合膜を堆積する工程と、該混合膜を前記エッチャントを用いてパターンニングすることを特徴とするパターン形成方法。

【請求項2】 前記エッチャントが少なくともりん酸と硝酸の混合液であって、りん酸に対し硝酸を重量比で 1/300以上を含み、前記エッチングレートの異なる物質がアルミニウム(Al)とモリブデン(Mo)であり、厚み方向の存在比が基板側でアルミニウムが大きく、表面側でモリブデンが大きいことを特徴とする請求項1記載のパターン形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はパターン形成方法に係り、液晶表示装置用のトランジスタマトリクス基板、特にトップゲートスタガ型薄膜トランジスタを有する液晶表示装置(LCD)のドレインバスラインの断面形状の制御方法に関する。

【0002】 現在、薄膜トランジスタ駆動による液晶表示装置は、ラップトップ型パソコンや小型テレビ等に実用化され、今後さらに需要が見込まれておりコストダウンが望まれている。そのためには、製造工程が簡単で信頼性が高い液晶表示装置が期待され、特に、トップゲートスタガ型薄膜トランジスタを有する液晶表示装置がプロセスの簡略化に有利である。

【0003】

【従来の技術】 図3は従来例によるLCD用薄膜トランジスタマトリクス基板を説明する断面図である。

【0004】 図において、透明絶縁性基板1の上に遮光膜2を形成した後、絶縁膜3を堆積する。その上にアルミニウム(Al)膜20、モリブデン(Mo)膜21を順次堆積して、パターンニングされたレジスト膜をマスクにしてMo膜およびAl膜をウエットエッチングし、Al膜にテーパ形状を持たせてドレインバスラインを形成する。

【0005】 次いで、透明絶縁性基板1の上に透明電極膜をドレインバスラインを覆って堆積し、遮光膜2上のトランジスタのチャネル領域となる部分を分離するようにパターンニングしてドレイン電極8およびソース電極9を形成する。

【0006】 次いで、ゲート形成領域上に動作半導体層11、ゲート絶縁膜12、ゲート電極13を形成する。なお、動作半導体層11の堆積時にドレイン電極8およびソース電極9上に不純物をドーピングしてコンタクト層10を形成する。

【0007】 次いで、リーク電流の発生を抑えるために、りん酸や硝酸を用いたウエットエッチングによりゲ

ート電極を縮小化させている(図示の点線の矢印)。

【0008】

【発明が解決しようとする課題】 ところが、従来のドレインバスのエッチング方法ではMo膜21がテーパ状にならず、Al膜20との間に段差が生じていた。そのためドレインバスラインを覆っている透明電極膜の被覆性が段差部において悪くなり、透明電極膜に不連続部22が発生し、ゲート電極を縮小化する際のエッチング時に、エッチング液が透明電極膜の不連続部22を通してドレインバスライン5に浸入し、ゲート電極と同一材料で構成されているドレインバスラインが浸食されて細くなり、ドレインバスラインの高抵抗化あるいは断線の発生等の問題があった。

【0009】 本発明はパターンの側面を連続的にテーパ形状に形成できる方法を提供し、例えばドレインバスライン形成のためのエッチングにおいて、透明電極膜の被覆性を向上して薄膜トランジスタマトリクス基板の製造歩留と信頼性を向上することを目的とする。

【0010】

【課題を解決するための手段】 上記課題の解決は、
1) 基板上に使用するエッチャントに対してエッチングレートの異なる物質を厚み方向に存在比を変え且つエッチングレートの大きい物質の存在比が表面に向かって大きくなるようにこれらの物質からなる混合膜を堆積する工程と、該混合膜を前記エッチャントを用いてパターンニングすることを特徴とするパターン形成方法、あるいは
2) 前記エッチャントが少なくともりん酸と硝酸の混合液であって、りん酸に対し硝酸を重量比で 1/300以上を含み、前記エッチングレートの異なる物質がアルミニウム(Al)とモリブデン(Mo)であり、厚み方向の存在比が基板側でアルミニウムが大きく、表面側でモリブデンが大きいことを特徴とする前記1)記載のパターン形成方法により達成される。

【0011】

【作用】 本発明は、例えば透明基板上にAl膜とMo膜からなる混合膜を、基板から表面に向かいMo膜の存在比を高めるように且つ連続的に存在比を変化させて堆積し、レジストパターンをマスクにして、AlよりMoに対するエッチングレートが大きいエッチャント(Al膜とMo膜からなる混合膜の場合は、りん酸と硝酸を含み、りん酸に硝酸を重量比で1/300以上混合したエッチャント)を用いてこの混合膜をウエットエッチングすることにより、テーパ形状を有するドレインバスラインが形成されるようにしている。

【0012】

【実施例】 図1(A)～(C)、図2(D)～(F)は本発明の実施例を説明する断面図である。図1(A)において、スパッタ法により、透明絶縁性基板1上に遮光膜2としてクロム(Cr)膜を堆積し、フォトリソグラフィを用いてパターンニングする。

【0013】次いで、プラズマ相成長(CVD)法により水素希釈の20%SiH₄、N₂O ガスを用い、絶縁膜3として厚さ6000Åの二酸化シリコン(SiO₂)膜を成長する。SiO₂膜上には2源真空蒸着により、Al膜およびMo膜の混合膜4を堆積する。このとき、最初はMoの蒸着は行わず、Alの蒸着のみとし、除々にMoの蒸着速度を上げ、同時にAlの蒸着速度を下げながら最終膜厚1000Å程度の厚さになったら、Moのみ蒸着されるように蒸着速度を制御する。この結果、各金属の組成比は基板から表面に向かいAlからMoに連続的に変化する。

【0014】次いで、レジスト膜6をマスクにして、リン酸に硝酸を重量比で1/300以上混合したエッチャントを用いてこの混合膜をウエットエッチングして、ドレインバスライン5を形成する。このエッチャントはMoの方がエッチングレートが大きいため、混合膜の表面側が速くエッチングされ、ドレインバスラインの断面形状は上向き方向に細くなったテーパ形状になる。

【0015】図1(B)において、DCスパッタ法により、透明電極膜7として厚さ500Åの酸化インジウム錫(ITO)膜を堆積する。次いで、基板上にレジスト膜6'を塗布し、フォトリソグラフィによりチャネル領域が開口された、少なくともソース、ドレイン領域およびその周囲を覆うマスクを形成する。

【0016】図1(C)において、レジスト膜6'をエッチングマスクにして透明電極膜をエッチングし、ITO膜からなるドレイン電極8およびソース電極9を形成し、レジスト膜6'を除去する。

【0017】図2(D)において、プラズマCVD法により、PH₃をプラズマ化し、ドレイン電極およびソース電極上にりん(P)を付着させる。次いで、プラズマCVD法により、水素希釈による20%SiH₄ガスを用いて、動作半導体層11として厚さ約300Åのアモルファスシリコン(a-Si)層を堆積する。

【0018】このとき、ドレイン電極およびソース電極上に付着したりんにより、ドレイン電極およびソース電極と動作半導体層との間に高濃度n型コンタクト層10が形成される。

【0019】次いで、プラズマCVD法により水素希釈の20%SiH₄およびNH₃を用い、動作半導体層上にゲート絶縁膜12として厚さ3000Åの窒化シリコン(SiN_x)膜を堆積し、さらにその上にスパッタ法によりゲート電極膜13として厚さ4000ÅのAl膜を堆積する。

【0020】次いで、フォトリソグラフィにより、ドレイン電極とソース電極にまたがる領域とゲート領域上にレジスト膜14を形成する。図2(E)において、反応性イオンエッチング(RIE)法により、レジスト膜14をマスクにしてAl膜13、SiN_x膜12、a-Si膜11およびコンタクト

層10をエッチングする。エッチングガスとして、Alに対しては塩素系ガスを、SiN_x、a-Siおよびコンタクト層に対してはCF₄系のガスを用いる。

【0021】図2(F)において、リーク電流の発生を抑えるために、ゲート電極の側面をリン酸あるいは硝酸を用いたウエットエッチングによって僅かに縮小させる(図示の点線野矢印)。次いで、マスク14を除去する。

【0022】上記の実施例においては、ドレインバスラインをAlとMoを用いて構成したが、これに限らず、使用するエッチャントに対してエッチングレートの異なる金属であるならば、それらの組成比を変化させることにより、ドレインバスラインの断面形状を制御することができる。

【0023】また、実施例においては混合膜の成膜を真空蒸着法により行ったが、厚さ方向に組成を変えて成膜できる方法であれば、スパッタ法等のような方法を用いてもよい。

【0024】

【発明の効果】本発明によれば、ドレインバスライン形成のためのエッチングにおいて、パターニングの側面を連続的にテーパ形状にして、透明電極膜の被覆性を向上して薄膜トランジスタマトリクス基板の製造歩留と信頼性を向上することができた。

【0025】さらに、一般的に、側面が連続的にテーパ形状になるように被膜をパターニングする方法として広く利用することができる。

【図面の簡単な説明】

【図1】 本発明の実施例を説明する断面図(1)

【図2】 本発明の実施例を説明する断面図(2)

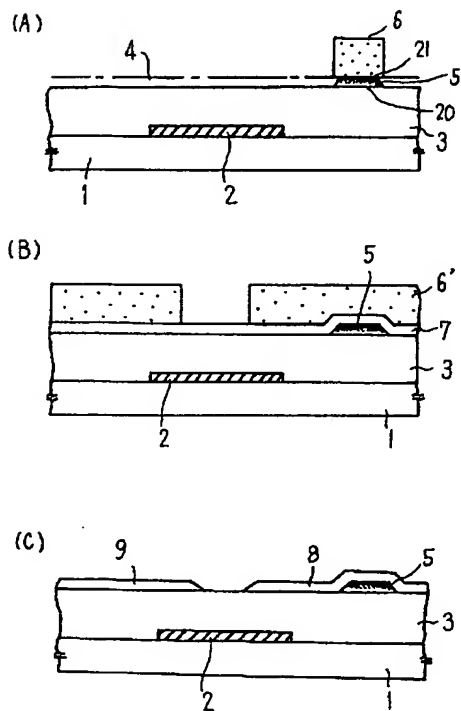
【図3】 従来例によるLCD用薄膜トランジスタマトリクス基板を説明する断面図

【符号の説明】

- 1 透明絶縁性基板
- 2 遮光膜でCr膜
- 3 絶縁膜でSiO₂膜
- 4 Al膜およびMo膜の混合膜
- 5 ドレインバスライン
- 6, 6' レジスト膜
- 7 透明電極膜で酸化インジウム錫(ITO)膜
- 8 ドレイン電極でITO膜
- 9 ソース電極でITO膜
- 10 コンタクト層
- 11 動作半導体層でアモルファスシリコン(a-Si)層
- 12 ゲート絶縁膜でSiN_x膜
- 13 ゲート電極でAl膜
- 14 レジスト膜

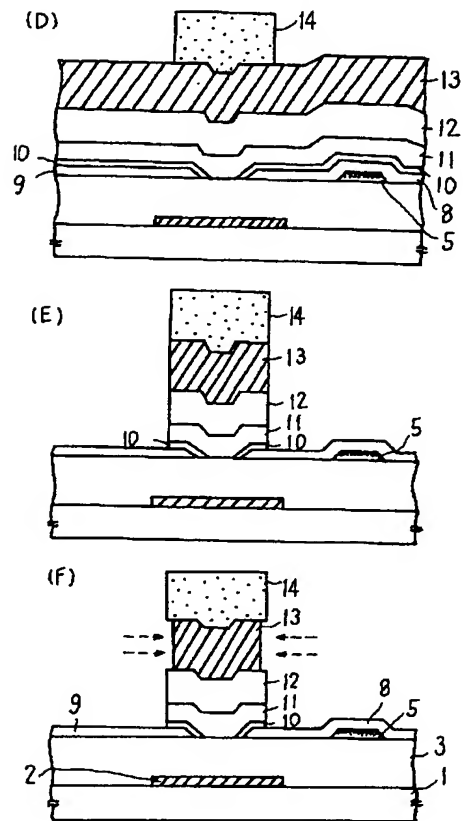
【図1】

本発明の実施例を説明する断面図(1)



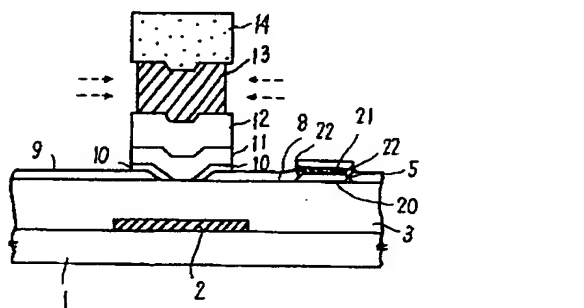
【図2】

本発明の実施例を説明する断面図(2)



【図3】

従来例によるLCD用薄膜トランジスタマトリクス基板を説明する図



フロントページの続き

(51) Int. Cl.⁴H 0 1 L 21/3205
29/784

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 沖 賢一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内.

THIS PAGE BLANK (USPTO)